

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-021900
 (43)Date of publication of application : 26.01.2001

(51)Int.Cl.

G02F 1/1339
 G02F 1/1335
 G02F 1/136

(21)Application number : 11-190317

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.07.1999

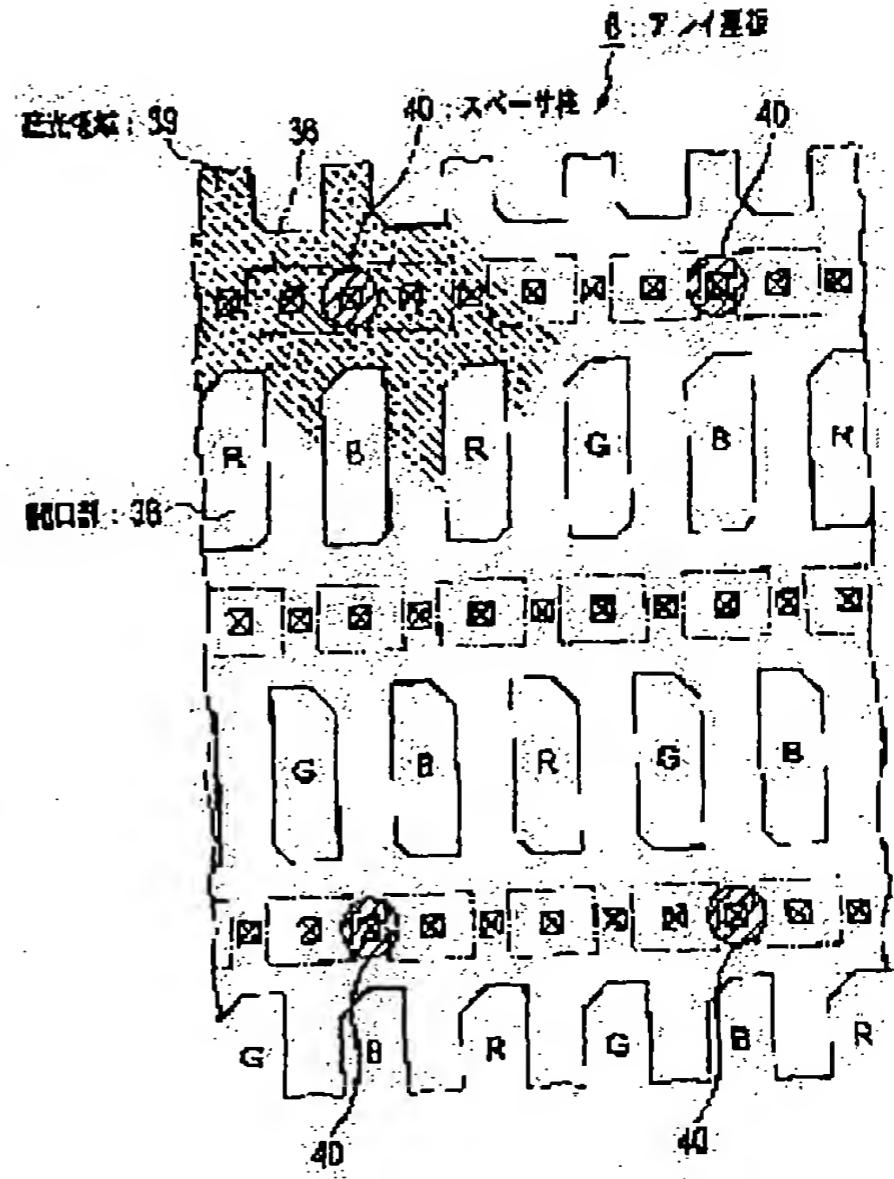
(72)Inventor : NAKAMURA HIROYOSHI
 YAMADA YUKA
 HAMAMOTO CHIHIRO
 FURUYA HIROAKI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which suppresses display unevenness due to alignment layer unevenness generated in the periphery of spacer posts and a method for manufacturing the device.

SOLUTION: The central region of a pixel electrode is made to be an opening part 38. When an array substrate 6 having a region other than the opening part 38 as a light shading region 39 and a liquid crystal enclosed between the array substrate 6 and a counter substrate placed opposite to each other via alignment layers are provided, spacer posts 40, arranged on the light shading region between the array substrate 6 and the counter substrate, and at the same time, arranged on every other scanning line toward the provided direction and at least on every second pixel toward the provided direction of signal lines out of positions with nearly the same distance from the respective adjacent opening parts 38, are provided. The spacer posts 40 which control liquid crystal layer thickness are formed on the array substrate 6. The array substrate is coated with an alignment layer. In the case the alignment layer is temporarily baked and subsequently is normally baked, the temperature of temporary baking of the alignment layer is set about $\geq 140^{\circ}\text{C}$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-21900

(P2001-21900A)

(43)公開日 平成13年1月26日(2001.1.26)

(51)Int.Cl.⁷

G 0 2 F 1/1339 5 0 0
1/1335
1/136

識別記号

F I

G 0 2 F 1/1339 5 0 0 2 H 0 8 9
1/1335 2 H 0 9 1
1/136 2 H 0 9 2

テーマコード(参考)

審査請求 未請求 請求項の数 5 OL (全 8 頁)

(21)出願番号 特願平11-190317

(22)出願日 平成11年7月5日(1999.7.5)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72)発明者 中村弘喜

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷工場内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

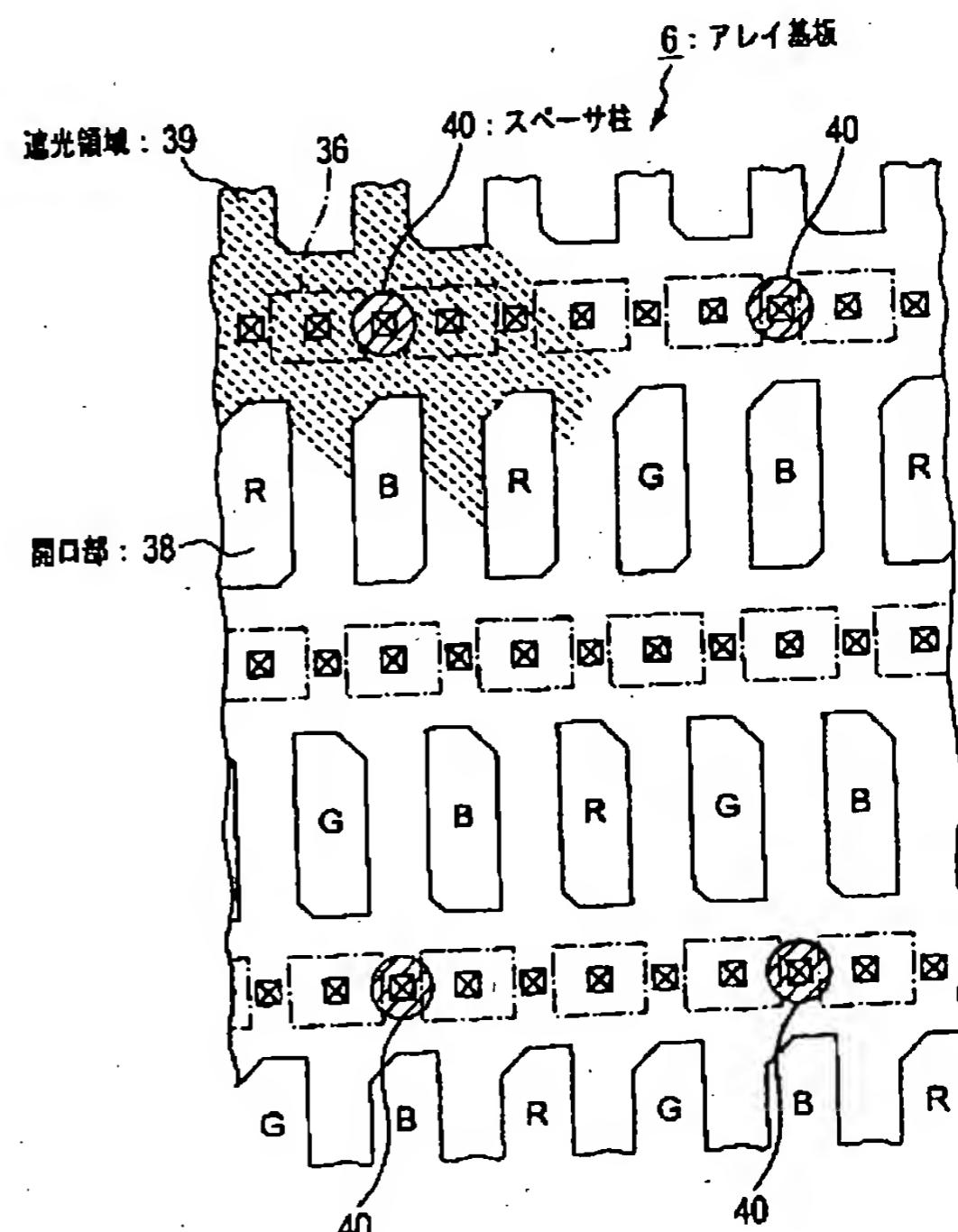
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその製造方法

(57)【要約】

【課題】 スペーサ柱の周辺に生じる配向膜むらによる表示むらを抑制する液晶表示装置及びその製造方法を提供する。

【解決手段】 画素電極の中央領域を開口部とし、この開口部を除く領域を遮光領域とするアレイ基板と、このアレイ基板に対向して設けられた対向基板との間に配向膜を介して封入された液晶とを備えるとき、アレイ基板と対向基板との間の遮光領域に配置されると共に、それぞれ隣接する開口部まで略等距離にある位置のうち、走査線の配設方向で1本おきに、信号線の配設方向で少なくとも1画素おきに配置されたスペーサ柱を備える。アレイ基板上に液晶層の厚みを制御するスペーサ柱を形成し、アレイ基板上に配向膜を塗布し、この配向膜を仮焼成し、続いて配向膜を本焼成するに当たり、配向膜を仮焼成する温度を約140°C以上とする。



(2)

【特許請求の範囲】

【請求項 1】透光性の基板上に略平行に配設された複数の走査線、これらの走査線に対して絶縁物を介して交差し、互いに略平行に配設された複数の信号線、前記走査線と前記信号線とでそれぞれ囲まれる領域に設けられた画素電極を有し、前記画素電極の中央領域を開口部とし、この開口部を除く領域を遮光領域とするアレイ基板と、前記アレイ基板に対向して設けられた対向基板と、前記アレイ基板と前記対向基板との間に配向膜を介して封入された液晶とを備えた液晶表示装置において、前記アレイ基板と対向基板との間の前記遮光領域に配置されると共に、それぞれ隣接する前記開口部まで略等距離にある位置のうち、前記走査線の配設方向で 1 本おきに、前記信号線の配設方向で少なくとも 1 画素おきに配置されたスペーサ柱を備えたことを特徴とする液晶表示装置。

【請求項 2】前記開口部はそれぞれ赤、青、及び緑に対応し、

前記スペーサ柱を青に対する開口部に他の開口部よりも多く隣接させたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】前記液晶を封入するシールの内部領域及び外部領域の少なくとも一方に、前記スペーサ柱を配設することを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】前記シールの外部に配設される前記スペーサ柱を、前記シールの内部に配設される前記スペーサ柱よりも配設密度を粗にしたことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】透光性の基板上に略平行に配設された複数の走査線、これらの走査線に対して絶縁物を介して交差し、互いに略平行に配設された複数の信号線、前記走査線と前記信号線とでそれぞれ囲まれる領域に設けられた画素電極を有するアレイ基板を形成する工程と、前記アレイ基板上に液晶層の厚みを制御するスペーサ柱を形成する工程と、前記アレイ基板上に配向膜を塗布する工程と、前記配向膜を仮焼成する工程と、前記配向膜を本焼成する工程とを備えた液晶表示装置の製造方法において、

前記配向膜を仮焼成する温度を約 140°C 以上としたことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に高コントラストが必要な投射型の液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】液晶表示装置を用いて、低価格で表示サイズも自由なフロント型やリア型の投射型液晶表示装置が製品化されている。この投射型液晶表示装置には、ツ

2

イストネマチック型の液晶を用い、アレイ基板及び対向基板に形成される配向膜のラビング角を水平方向に対して一方を時計回り方向で 45 度に、他方を反時計回り方向で 45 度に設定し、互いに直交した 90 度ラビングの液晶表示装置が用いられている。

【0003】図 2 はダイクロイックミラーとマイクロレンズ付き液晶表示装置を用いた、カラーフィルタを用いない方式の投射型液晶表示装置の動作原理を説明するための光学系の系統図である。これは、便宜的に、液晶表示装置のうち R, G, B の一組の画素部分についてのみ示したもので、光源 1 からの白色光はレンズ系を介してダイクロイックミラー 2 に入射される。その入射光はダイクロイックミラー 2 で分光され、かつ、各々異なる入射角をもった平行光 3 とされた後、液晶パネル 5 の光入射側に配置されたマイクロレンズアレイ 4 に入射する。液晶パネル 5 は、薄膜トランジスタ（以下、TFT と略記する）が形成されたアレイ基板 6 とそれに向かい合った対向基板 7 とで構成されている。そして、液晶パネル 5 の RGB に対応する一組の画素毎に、マイクロレンズが設けられている。各マイクロレンズは、入射した各色光を各色画素の開口部に集光する。そして、液晶パネル 5 を透過した光は、投射レンズ系 8 に入射する構成になっている。

【0004】図 3 はマイクロレンズ 4 が各色光を各色画素の開口部に集光する状態を示した略図である。同図において、液晶パネル 5 はアレイ基板 6 とそれに向かい合った対向基板 7 とで構成されている。マイクロレンズアレイ 4 は RGB の各色光を対向基板 7 の背面の水平方向の異なる位置に集光させる。アレイ基板 6 にはこれらの集光位置に対応して開口 11, 12, 13 が形成されている。これによってアレイ基板 6 の開口 11, 12, 13 から RGB の各色光が出射される。このようにすることにより、カラーフィルタを用いずしてカラー表示することが可能となり、カラーフィルタによる光損失もなくなるため、光学系の小型化、低コスト化が達成される。

【0005】上記のような単板式のプロジェクター用液晶表示装置では 3 板式のものと比較して 3 倍の画素数が必要であること、また、投射レンズ等の光学系のコストを抑制する必要があること等から、高精細画素の設計が可能なポリシリコン TFT 技術による液晶表示装置が開発されている。

【0006】図 4 はこの液晶表示装置の光入射側から見た平面図であり、図 5 はこの液晶表示装置の一部を破断して示した斜視図である。これら各図において、液晶表示装置 10 は液晶パネル 5 の背面にマイクロレンズアレイ 4 が装着されている。液晶パネル 5 はアレイ基板 6 と対向基板 7 とで構成され、これらの間に液晶 9 が封入されている。

【0007】アレイ基板 6 は、詳細を後述するように、透光性の基板上に略平行に配設された複数の走査線、こ

(3)

3

れらの走査線と交差して絶縁層を介して略平行に配設された複数の信号線、これら走査線と信号線とでそれぞれ囲まれる領域に設けられた画素電極、これらの走査線と信号線との各交差部に設けられたTFTであるスイッチング回路等を備えている。

【0008】そして、画面中心部の表示領域17の周囲には、信号線を駆動するための信号線駆動回路15と、走査線を駆動するための走査線駆動回路16とが設けられている。また、信号線駆動回路15や走査線駆動回路16に動作電力を供給したり、制御信号を供給したりする柔軟性のプリント基板18の一端部が接続されている。

【0009】図6は本発明の適用対象であるアレイ基板6の3×3画素の等価回路図である。同図において、信号線21が画面の縦方向に互いに平行に配置され、走査線22が画面の水平方向に互いに平行に配置されている。そして、信号線21と走査線22との各交差点の近傍には、オフ時のリーク電流を低く押さえるように、TFT23、24が直列接続されてなるスイッチング回路25が設けられている。このスイッチング回路25を構成するTFT23、24の各ゲートが走査線22に接続されている。また、スイッチング回路25の一端は信号線21に接続され、その他端は液晶画素27を形成する画素電極26に接続されている。さらに、スイッチング回路25の他端には容量極板28が接続され、この容量極板28は全ての液晶画素27に共通の補助容量線29と絶縁膜を介して対向しており、これにより補助容量が形成される。

【0010】かかる構成により、走査線22を時間分割により順次走査すると共に、選択された信号線に信号電圧を印加すると、走査タイミングに合った走査線22に接続されたTFT23、24がオン状態となり、信号線21から液晶画素27を構成する画素電極26に信号電圧が印加され、液晶画素27の透過率を制御する。

【0011】図7(a)、(b)は図6に示した等価回路に対応するアレイ基板6の詳細な構成を示す平面図及びその部分断面図であり、このうち(a)に示す平面図は理解を容易にするために層間絶縁膜を除去して示したもので、(b)は層間絶縁膜をも併せて示したものである。同図において、ガラス基板20上にTFT23及びTFT24のチャネルを形成すると共に、容量極板28を形成するための多結晶シリコンが積層されて島状にパターニングされている。この多結晶シリコンの図面に示す上端部には画素電極26に対するコンタクト部31を備え、図面に示す下端部には信号線21に対するコンタクト部32を備えている。

【0012】この多結晶シリコン上にゲート絶縁膜33を介して部分的に切欠かれた鉤形部22aを有する走査線22及び補助容量線29が形成され、この状態で不純物を注入することによって、走査線22をゲート電極と

(3)

4

するTFT23、24及び補助容量が形成される。ゲート絶縁膜33上の補助容量線29は走査線22と平行に形成された幹部29aと容量極板28に沿って分かれた枝部29bとを有する。さらに、走査線22及び補助容量線29の上に第1の層間絶縁膜34を介して信号線21が形成されている。この信号線21はコンタクト部32によってスイッチング回路の一端としてのTFT23のソース側に接続される。この場合、TFT23、24が信号線21によって覆われるよう、TFT23、24に対向する部位の線幅が広げられている。

【0013】この信号線21上に第2の層間絶縁膜35が形成され、この第2の層間絶縁膜35上には部分的に斜線を施して示した遮光膜36が形成されている。そして、この遮光膜36がコンタクト部31によって容量極板28に接続される。さらに、遮光膜36を部分的に露出させてなる第3の層間絶縁膜37が形成され、この上に、縁部に斜線を施して示した画素電極26が形成されている。この画素電極26は遮光膜36及びコンタクト部31を介して容量極板28に接続されている。

【0014】ここで、画素電極26は信号線21と走査線22とで囲まれる領域にそれぞれ設けられ、この画素電極26の下端部に画素を駆動する走査線22が配置され、右側部にTFT23、24、容量極板28、補助容量線29及び信号線21が配置されている。

【0015】この結果、信号線21が、コンタクト部32を介して、TFT23及びTFT24の直列接続回路でなるスイッチング回路を介して容量極板28に接続され、さらに、容量極板28は、コンタクト部31及び遮光膜36を介して画素電極26に接続されており、図6に示した等価回路と一致する回路が構成される。

【0016】ところで、液晶パネル5を構成するアレイ基板6及び対向基板7間に封入される液晶層の厚みを制御することは、表示品質の面から非常に重要である。この液晶層の厚み、すなわち、セルギャップが一定でないとすると、表示むらが発生する。そこで、投射形液晶表示装置においては、ミクロパール（登録商標）と呼ばれるプラスチック製の球をスペーサとしてアレイ基板6及び対向基板7間に配置していた。

【0017】しかるにこのミクロパールは不所望な光抜けや、その周辺に配光不良を起こすことによる表示むらを生起するという問題があった。このため、ミクロパールを用いないでセルギャップを制御することが、特に高温ポリシリコン技術を用いた1～3インチ程度もしくはそれ以下の小サイズのパネルで用いられていた。しかし、この技術はやはり面内のセルギャップ制御が難しく、2インチ以上のパネルサイズでは制御が不可能となるという問題があった。そこで、アレイ基板上にスペーサ柱を形成してセルギャップを制御する方法が提案されている。

【0018】図8はスペーサ柱を備えた液晶表示装置1

(4)

5

0の部分断面図であり、図7を用いて説明したものと同一の要素には同一の符号を付してその説明を省略する。ここで、コンタクト部31、32が形成された周辺領域は、互いに交差した信号線21、走査線22や補助容量線29が存在し、さらに、積極的に遮光する遮光膜36が形成されているため遮光領域となっている。この遮光領域における第3の層間絶縁膜37上有機樹脂等でなるスペーサ柱40が形成されている。スペーサ柱40を形成した後、アレイ基板上に液晶の動作モードに適した配列や傾きプレチルト角を付与するための配向膜41が形成される。この配向膜41はスペーサ柱40上及びその周辺にも印刷等により形成される。また、同様な機能の配向膜42が対向基板7の対向面に形成される。このように、遮光領域にスペーサ柱40を形成することによって、ミクロパールを用いた場合に輝点となって見えるという現象を解消することができる。

【0019】

【発明が解決しようとする課題】上述したように、アレイ基板上に有機樹脂等でなるスペーサ柱を形成した液晶表示装置を直視する限り表示むらは殆ど検知されなかつた。しかしながら投射型の液晶表示装置においては表示むらが発生することを発明者等は見いだした。すなわち、図8に示すようなアレイ基板構造では、当初、スペーサ柱40を走査線の配設方向には1走査線おきに、信号線の配設方向には6画素(18絵素)おきに形成していた。この配向膜の形成時、スペーサ柱の周辺に配向膜41が表面張力により吸上げられ、スペーサ柱40毎にその周囲の配向膜41に膜厚むらを生じ、これによって液晶の膜厚、プレチルト角が異なり電圧-透過率特性が微妙に異なる領域が生じ表示むらを生じることが発明者等の解析結果で分かった。

【0020】特に、図7に示した画素構造と図8に示したスペーサ柱の配置では、画素を構成する絵素がデルタ状に配置され、例えば、走査線の配設方向の奇数行の走査線に対応して設けられたスペーサ柱間に生じる配向膜厚むらが、偶数行の走査線に対応する絵素、すなわち、距離的に近い絵素の開口部に膜厚むらを生じさせていた。

【0021】本発明は、上記の事情を考慮してなされたもので、その目的はスペーサ柱の周辺に生じる配向膜むらによる表示むらを抑制することにより、表示品位の高い液晶表示装置及びその製造方法を提供するにある。

【0022】

【課題を解決するための手段】請求項1に係る発明は、透光性の基板上に略平行に配設された複数の走査線、これらの走査線に対して絶縁物を介して交差し、互いに略平行に配設された複数の信号線、走査線と信号線とでそれぞれ囲まれる領域に設けられた画素電極を有し、画素

6

電極の中央領域を開口部とし、この開口部を除く領域を遮光領域とするアレイ基板と、アレイ基板に対向して設けられた対向基板と、アレイ基板と対向基板との間に配向膜を介して封入された液晶とを備えた液晶表示装置において、アレイ基板と対向基板との間の遮光領域に配置されると共に、それぞれ隣接する開口部まで略等距離にある位置のうち、走査線の配設方向で1本おきに、信号線の配設方向で少なくとも1画素おきに配置されたスペーサ柱を備えたことを特徴とする。

【0023】請求項2に係る発明は、請求項1に記載の液晶表示装置において、開口部はそれぞれ赤、青、及び緑に対応し、スペーサ柱を青に対応する開口部に他の開口部よりも多く隣接させたことを特徴とする。

【0024】請求項3に係る発明は、請求項1又は2に記載の液晶表示装置において、液晶を封入するシールの内部領域及び外部領域の少なくとも一方に、スペーサ柱を配設することを特徴とする。

【0025】請求項4に係る発明は、請求項3に記載の液晶表示装置において、シールの外部に配設されるスペーサ柱を、シールの内部に配設されるスペーサ柱よりも配設密度を粗にしたことを特徴とする。

【0026】請求項5に係る発明は、透光性の基板上に略平行に配設された複数の走査線、これらの走査線に対して絶縁物を介して交差し、互いに略平行に配設された複数の信号線、走査線と信号線とでそれぞれ囲まれる領域に設けられた画素電極を有するアレイ基板を形成する工程と、アレイ基板上に液晶層の厚みを制御するスペーサ柱を形成する工程と、アレイ基板上に配向膜を塗布する工程と、配向膜を仮焼成する工程と、配向膜を本焼成する工程とを備えた液晶表示装置の製造方法において、配向膜を仮焼成する温度を約140℃以上としたことを特徴とする。

【0027】

【発明の実施の形態】以下、本発明を図面に示す好適な実施形態に基づいて詳細に説明するが、その前に、表示品位が、配向膜の膜厚むらに起因するだけでなく、配向膜塗布後の仮焼成時温度等の工程条件によっても大きく変わることを示す実験結果を説明することとする。図7に示す画素構造で、例えば、絵素ピッチとして横28μm、縦71μmとし、スペーサ密度を(A)3絵素(1画素)おき、(B)6絵素(2画素)おき、(C)18絵素(6画素)おきに変えたものと、計算でランダムにスペーサ柱を立てるようにした(D)ランダムにて54絵素に1個のスペーサ柱を配置したものとを準備し、それぞれに対して異なる温度で仮焼成した場合の表示むらの発生率を調査した結果を表1に示す。

【0028】

【表1】

表1 スペーサ柱密度及び仮焼成温度による表示のむらの発生率

仮焼成 温 度	表示むら発生率			
	スペーサ柱の密度			
	(A)	(B)	(C)	(D)
100°C	6.9%	29%	51.7%	100%
140°C	0%	0%	8.7%	14.3%
150°C	0%	0%	0%	7.4%
160°C	0%	0%	0%	0%

この表から明らかなように、仮焼成温度を例えば100°Cとした場合、表示むらの発生率は(A)及び(B)で低く、(C)及び(D)で高くなるという結果が得られた。さらに、配向膜厚むらを詳しく観察したところ、スペーサ柱密度を高くすることで、スペーサ柱1個1個の配向膜の吸上げ量が抑制され、表示むらが出にくくなることも分かった。また、仮焼成温度を従来の100°Cよりも高い140°Cとすると表示むらの発生率は(A)及び(B)でゼロで、(C)及び(D)では100°Cの場合と比較して格段に低くなることが分かった。さらに、仮焼成時間を短くする観点で150°C、160°Cでそれぞれ仮焼成すると(A)、(B)、(C)及び(D)のいずれの場合においてもスペーサ柱周辺での配向膜の吸上げが完全に抑制され、表示むらの発生率がゼロになることも判明した。本実施形態はこの結果を踏まえてなされたものである。

【0029】図1は本発明に係る液晶表示装置の一実施形態の構成を示すアレイ基板の部分平面図である。ここでは図7に示す信号線21、走査線22、容量極板28、補助容量線29及び遮光膜36を全て遮光部材と見做し、開口部38の周辺がその一部を斜めの破線で示したように遮光領域39として示されている。ここで、走査線の配設方向、すなわち、図面の上下方向に隣接する開口部38が、信号線の配設方向、すなわち、図面の左右方向に1/2ピッチだけずれて配置されたいわゆるデルタ配置になっている。そして、この実施形態は遮光領域39のうち、走査線の配設方向で1本おきで、信号線の配置設方向で3絵素すなわち1画素おきに、それぞれ隣接する開口部38まで略等距離にある位置にスペーサ柱40を設けたものである。

【0030】スペーサ柱40をこのように配置することによって、奇数行の走査線に対応する開口部38及び偶数行の走査線に対応する開口部38が、共にスペーサ柱40の周辺に発生する配向膜の膜厚むらの影響を受け難くなり、しかも、従来のものよりも信号線の配設方向に狭ピッチで配置されているため、表示むらが抑制される。

【0031】ところで、可視光領域における比視感度は555nmの波長の近辺で最大となるため、一つの画素

を構成する三つの絵素のうち、青(B)の視感度は赤(R)、緑(G)よりも小さい。従って、スペーサ柱40の周辺に発生する配向膜の膜厚むらを完全に除去し難い場合には、スペーサ柱を赤(R)または緑(G)の絵素領域に隣接させるよりも、青(B)の絵素領域に隣接させる方が有利である。図1の実施形態ではスペーサ柱40をできるだけ多くの青(B)の絵素領域に隣接させるようにしたので、表示むらの抑制効果が高められる。

【0032】なお、図示を省略するが、スペーサ柱40は信号線の配設方向には、画素毎に設けられているが、実際の表示領域(図4参照)をはずれた領域にも設けることによってセルギャップの制御精度が高められる。そのために、液晶を封入するシールの内部領域や外部領域にもスペーサ柱40を配設することとする。発明者等の実験によれば、シールの内部領域と比較して外部領域のスペーサ柱の配設密度を粗にしたもののが良結果が得られている。

【0033】以上本発明に係る液晶表示装置について、主に、アレイ基板6の構成を説明したが、この液晶表示装置の製造方法及び仮焼成について、図7をも参照して以下に詳しく説明する。

【0034】先ず、ガラス基板20上にプラズマCVD法(P ECVD法)により、アモルファスシリコン膜を約500オングストローム堆積し、脱水素処理をしてからレーザ・アニール法により多結晶シリコン化し、さらに、島状にパターニングすることによって、TFT23、24とするための島状部分と容量極板28とするための「T」字形部分とを形成する。続いて、約1000オングストローム堆積されるゲート絶縁膜33で上記の島状の半導体層を覆い、さらに、モリブデン・タンクステン(MoW)合金層を約4000オングストローム堆積させ、この合金層をパターニングすることにより走査線22及び補助容量線29を形成する。走査線22の一部がTFT23、24のゲート電極となる。この場合、ゲート電極をマスクとするセルフアラインにて不純物を注入することにより、TFT23、24を直列接続する導体と、容量極板28とが形成される。

【0035】次に、走査線22上に酸化シリコンを約5000オングストローム堆積させて第1の層間絶縁膜3

(6)

9

4を形成する。ゲート絶縁膜33及び第1の層間絶縁膜34には、ソース及びドレン用コンタクトホールが形成される。そして、約6000オングストロームの厚さとなるように第1の層間絶縁膜34上にモリブデン(Mo)、アルミニウム(Al)及びモリブデン(Mo)という多層構造膜が積層され、これをパターニングすることによりコンタクト部31及び信号線21を形成する。なお、TFT23, 24はnチャネル型であり、チャネル領域に近接して、nマイナス型領域が設けられるLD D (Light Doped Drain) 構造とした。

【0036】次に、酸化シリコンを約5000オングストローム堆積させることにより第2の層間絶縁膜35を形成し、さらに、画素電極26やコンタクト部32の遮光をする部位に対応して低反射、金属膜から成る遮光膜36を形成する。続いて、アクリル樹脂を約2μm積層することにより第3の層間絶縁膜37が形成され、これにより表示領域及びその周辺領域の凹凸を平坦化することができる。画素電極26は第2の層間絶縁膜35及び第3の層間絶縁膜37を貫通するコンタクト部32を設けてから形成される。

【0037】なお、第3の層間絶縁膜37は平坦化が有効に達成できれば1~6μmの厚さであれば良く、また、アクリル樹脂以外の有機物層あるいはスピオンガラス(SOG)等の無機物質を材料としても良い。また、第3の層間絶縁膜37は有機物質の上に無機物質を重ねた複合物質であっても良い。この場合、有機物層は感光性であれば工程を短縮できるが、感光性を持たないものでも良い。

【0038】なおまた、上述した仮焼成時の雰囲気としては、通常は窒素プロー等が行われるが、大面積内でのむらを抑制する観点では強制的な窒素プローは行わない方が望ましい。

【0039】以上、アレイ基板6の製造方法について説明したが、このアレイ基板6を用いて液晶表示装置を形成するまでの工程をさらに説明する。上記のアレイ基板6上にアクリル樹脂を用いて凸状部の高さが3.5μmで、直径が約12μmのスペーサ柱40を形成する。そして、洗浄工程を経た後に配向膜を塗布し、まず150°Cで窒素プローなしで仮焼成し、その後、220°Cで本焼成を施した。アレイ基板6と対向基板7とはこれらの配向膜を内側にして向かい合わせ、さらに、塗布されるシール材で貼り合わされ、その後シール剤を熱硬化させる。液晶9はシール材の一部に設けられる液晶注入口から周知の減圧注入法で注入され、その後、注入口を封止する。このとき、対向基板7の厚さは画素サイズに依存するが、例えば、1画素が27μm程度であれば0.4mmにすれば良い。

【0040】液晶パネル5が上述したようにして形成されると、図示を省略した紫外線硬化型接着剤が対向基板7上に塗布され、マイクロレンズアレイ4がこの対向基

10

板7上に重ねられ加圧される。これにより接着剤の厚さが10~30μm程度に均一化される。

【0041】この後、マイクロレンズアレイ4は位置調整機構を用いて位置合わせされた後、このマイクロレンズアレイ4のマイクロレンズ側に配置される紫外線照射器から紫外線を照射して接着剤を硬化させることにより対向基板7に固定される。

【0042】

【発明の効果】以上のお説明によって明らかのように、本発明によれば、スペーサ柱の周辺に生じる配向膜むらによる表示むらを抑制することにより、表示品位の高い液晶表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置を構成するアレイ基板の部分平面図。

【図2】ダイクロイックミラーとマイクロレンズ付き液晶表示装置を用いた投射型液晶表示装置の動作原理を説明するための光学系統図。

【図3】図2に示したマイクロレンズが各色画素の開口部に集光する状態を示した略図。

【図4】図2に示した液晶表示装置の光入射側から見た平面図。

【図5】図2に示した液晶表示装置の一部を破断して示した斜視図。

【図6】本発明の適用対象であるアレイ基板の等価回路図。

【図7】図6に示した等価回路に対応するアレイ基板の詳細な構成を示す平面図及びその部分断面図。

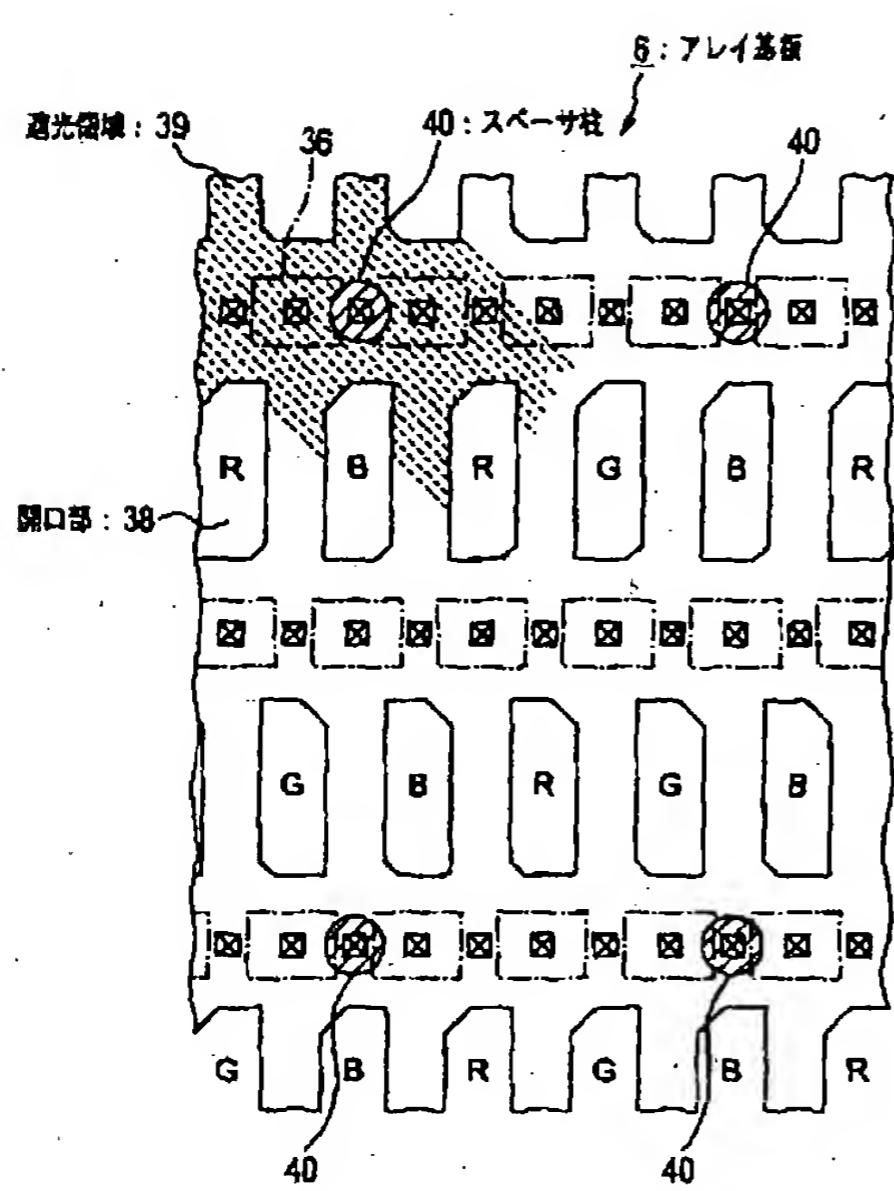
【図8】スペーサ柱を備えた従来の液晶表示装置の部分断面図。

【符号の説明】

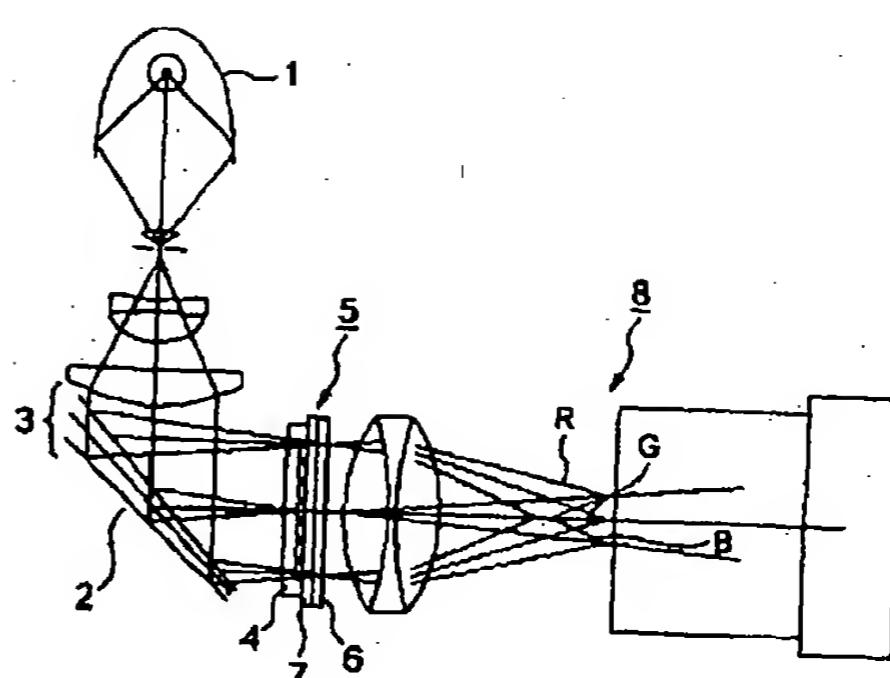
- 6 A アレイ基板
- 2 0 ガラス基板
- 2 1 信号線
- 2 2 走査線
- 2 3, 2 4 薄膜トランジスタ(TFT)
- 2 6 画素電極
- 2 8 容量極板
- 2 9 補助容量線
- 3 1, 3 2 コンタクト部
- 3 3 ゲート絶縁膜
- 3 4 第1層間絶縁膜
- 3 5 第2の層間絶縁膜
- 3 6 遮光膜
- 3 7 第3の層間絶縁膜
- 3 8 開口部
- 3 9 遮光領域
- 4 0 スペーサ柱
- 4 1, 4 2 配向膜

(7)

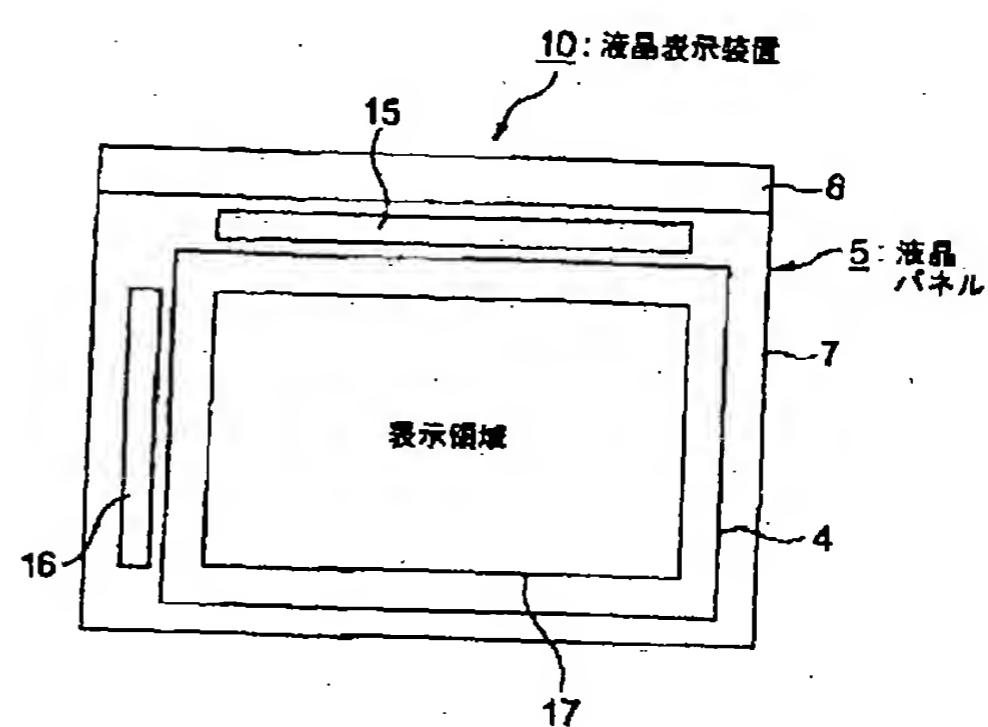
【図1】



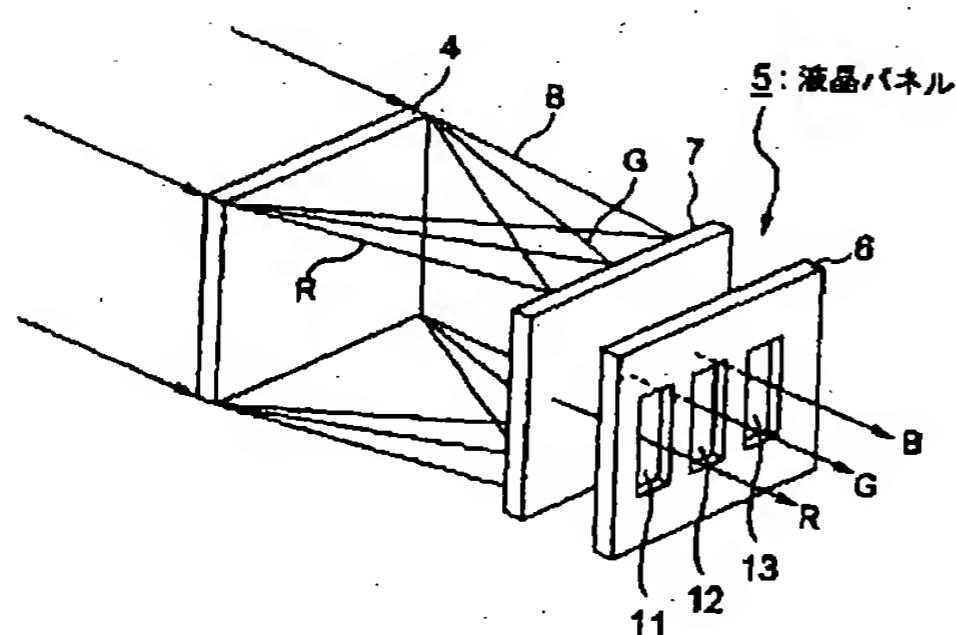
【図2】



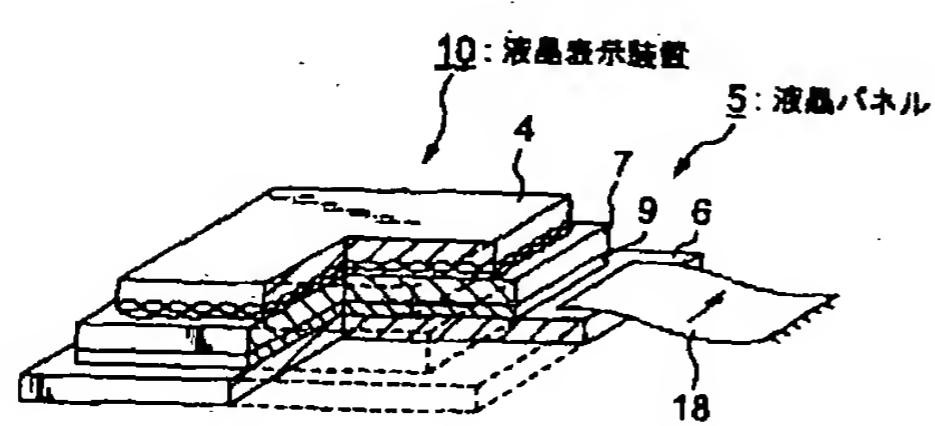
【図4】



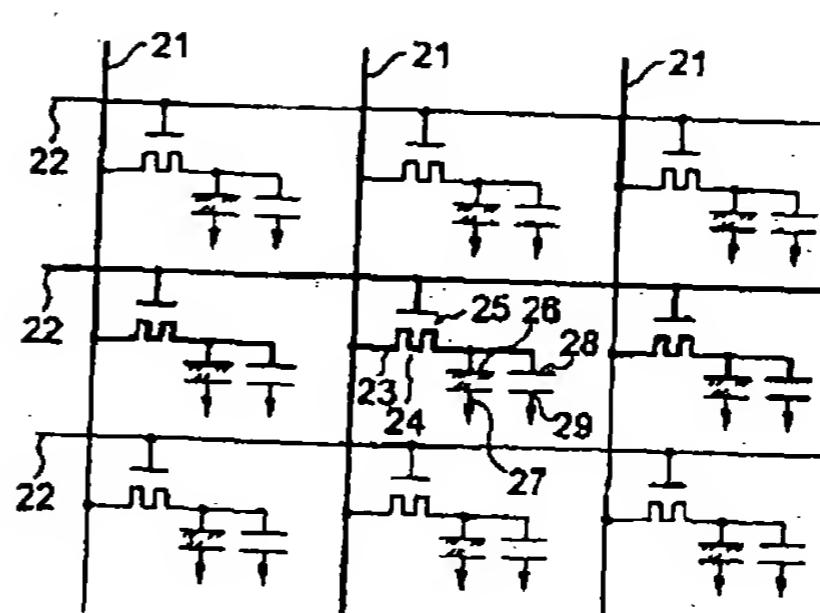
【図3】



【図5】

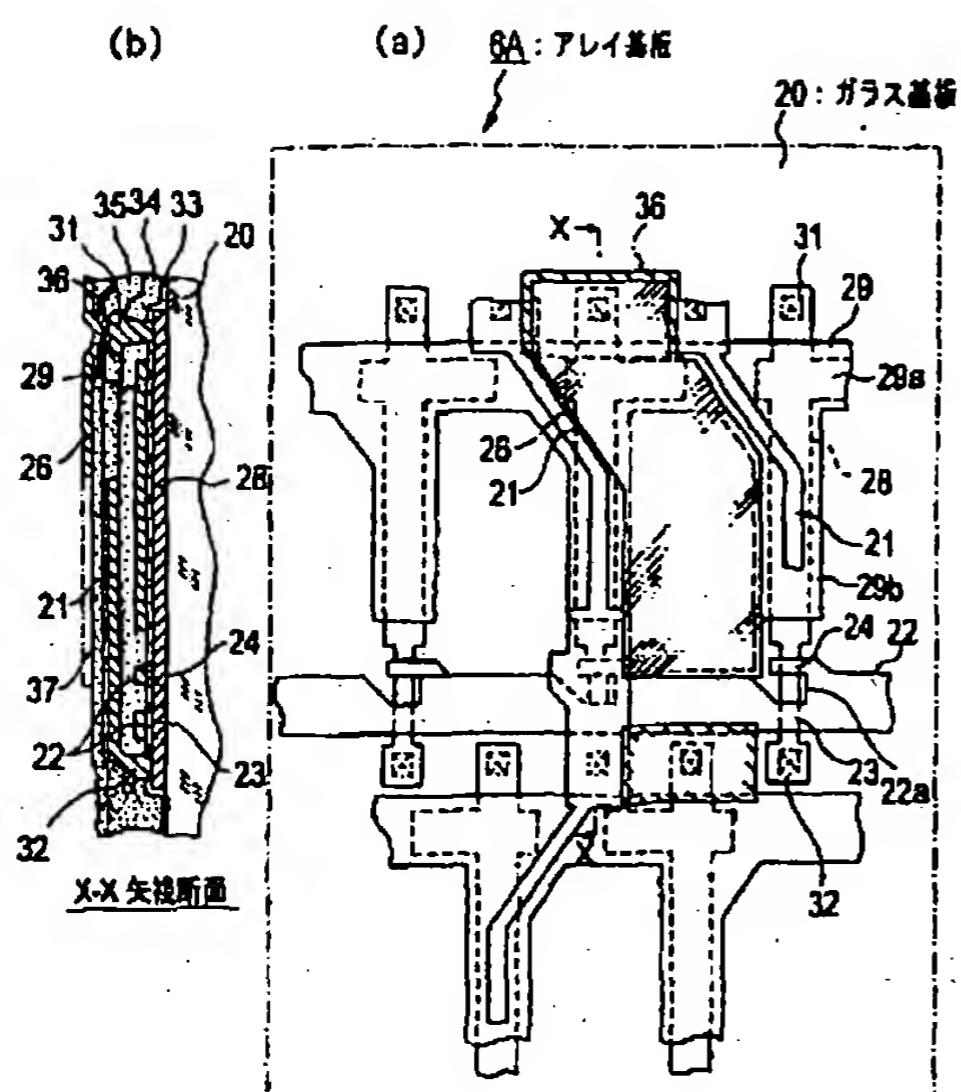


【図6】

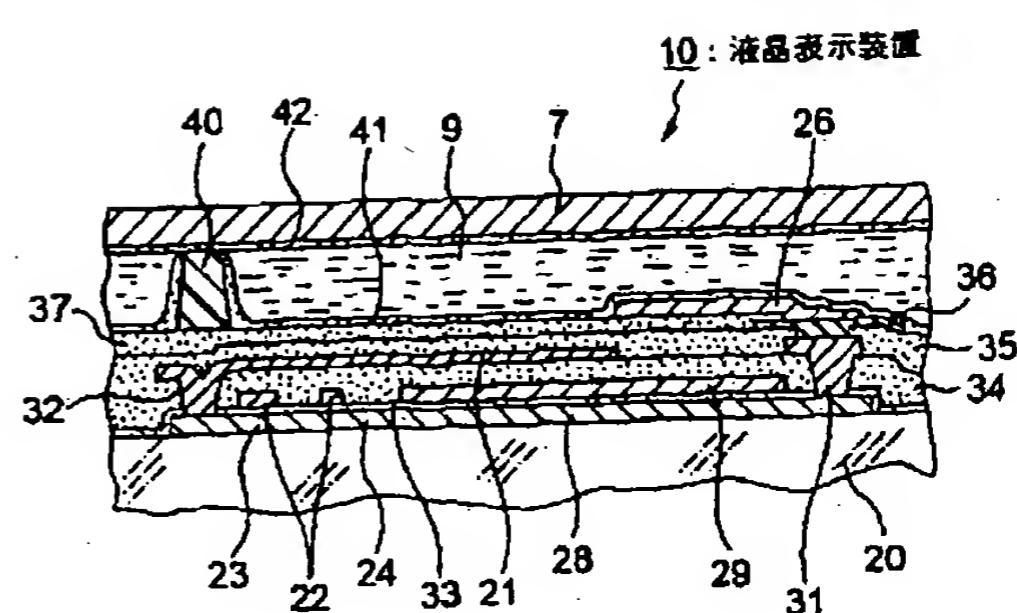


(8)

【図7】



【図8】



フロントページの続き

(72)発明者 山田由夏

埼玉県深谷市幡羅町1-9-2 株式会社
東芝深谷工場内

(72)発明者 濱元千尋

埼玉県深谷市幡羅町1-9-2 株式会社
東芝深谷工場内

(72)発明者 降矢裕明

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

F ターム(参考) 2H089 LA07 LA09 QA14 QA15 TA04

TA07 TA09 TA12 UA05

2H091 FA02Y FA29Z FA34Y FD14

FD18 GA06 GA08 GA11 GA13

GA17 LA11 LA12 LA16 MA07

2H092 JA24 JA46 JB64 KA04 KB25

NA04 NA25 NA27 PA02 PA03

PA06 PA08 PA09 RA05